

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 8 8 9 7 3

(43) 公開日 平成 6 年 (1994) 3 月 29 日

(51) Int. Cl. ^a	識別記号	庁内整理番号	F I	技術表示箇所
G02F 1/136	500	9018-2K		
C23C 14/58		8520-4K		
H01B 5/14		A		
13/00	503	B 7244-5G		
H01L 29/40		A 9055-4M		

審査請求 未請求 請求項の数 10 (全 10 頁) 最終頁に続く

(21) 出願番号	特願平 4 - 3 1 5 5 0 2
(22) 出願日	平成 4 年 (1992) 9 月 12 日
(31) 優先権主張番号	特願平 4 - 2 1 5 3 8 9
(32) 優先日	平 4 (1992) 7 月 21 日
(33) 優先権主張国	日本 (J P)

(71) 出願人	0 0 0 1 5 3 8 7 8 株式会社半導体エネルギー研究所 神奈川県厚木市長谷 3 9 8 番地
(72) 発明者	村上 あかね 神奈川県厚木市長谷 3 9 8 番地 株式会社 半導体エネルギー研究所内
(72) 発明者	崔 葆春 神奈川県厚木市長谷 3 9 8 番地 株式会社 半導体エネルギー研究所内
(72) 発明者	宮崎 稔 神奈川県厚木市長谷 3 9 8 番地 株式会社 半導体エネルギー研究所内

(54) 【発明の名称】 透明導電膜およびそれを用いた半導体装置ならびにその作製方法

(57) 【要約】

【目的】 低抵抗かつ高透過率の透明導電膜およびそれを利用した半導体デバイス等を提供する。

【構成】 室温下にてスパッタ法を用い、ITO を成膜した後に、水素雰囲気中にて 200 ~ 400 °C の温度でアニール処理を行う。

【特許請求の範囲】

【請求項1】 絶縁基板上に、基板温度を0～100℃に保ち、DCスパッタ法、RFスパッタ法、電子ビーム蒸着法、プラズマCVD法のいずれかの方法でITO薄膜を作製した後に、水素雰囲気中で200～400℃でアニールすることを特徴とする透明導電膜の作製方法。

【請求項2】 請求項1において、ITO薄膜を作製した後、水素雰囲気中でアニールする前にITO薄膜のパターニングを行うことを特徴とする透明導電膜の作製方法。

【請求項3】 絶縁基板上にTFT（薄膜トランジスタ）を形成した後にITO薄膜を作製し、その後、前記TFTと前記ITO薄膜を水素雰囲気中に浸すことを特徴とする透明導電膜を用いた半導体装置の作製方法。

【請求項4】 請求項3において、ITO薄膜を作製する工程と、TFTとITO薄膜を水素雰囲気中に浸す工程との間に前記ITO薄膜をパターニングする工程を有することを特徴とする半導体装置の作製方法。

【請求項5】 請求項3において、TFTとITO薄膜を水素雰囲気中に浸す際の温度が200～400℃であることを特徴とする半導体装置の作製方法。

【請求項6】 請求項3において、TFTはトップゲート型TFTであることを特徴とする半導体装置の作製方法。

【請求項7】 絶縁基板上に結晶性半導体領域とその上にゲート電極を有するTFTを形成する工程と、前記ゲート電極を覆って層間絶縁物を形成する工程と、前記層間絶縁物上に選択的にITO薄膜を形成する工程と、前記層間絶縁物にコンタクトホールを形成する工程と、前記コンタクトホールを介して前記TFTの少なくとも一方の不純物領域とITO薄膜とを単層もしくは多層の導電性薄膜によって接続する工程と、その後、該半導体装置を200～400℃の水素雰囲気中でアニールする工程とを有することを特徴とする半導体装置の作製方法。

【請求項8】 請求項7において、該導電性薄膜は下層がクロムもしくは窒化チタン、上層がアルミニウムを主体とする金属より構成される多層膜であることを特徴とする半導体装置の作製方法。

【請求項9】 絶縁基板上に形成された結晶性半導体領域とその上にゲート電極を有するTFTと、前記ゲート電極を覆って形成された層間絶縁物と、前記層間絶縁物上に選択的に形成されたITO薄膜とを有する半導体装置において、前記TFTの少なくとも1つの不純物領域と前記ITO薄膜を接続する単層もしくは多層の導電性薄膜が存在し、かつ、前記導電性薄膜は前記ITO薄膜の上面に接していることを特徴とする半導体装置。

【請求項10】 請求項9において、該導電性薄膜は下層がクロムもしくは窒化チタン、上層がアルミニウムを主体とする金属より構成される多層膜であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の利用分野】 本発明は、透明導電膜であるITOおよびそれを用いたイメージセンサー、太陽電池、液晶ディスプレイ等のデバイスとその作製方法に関する。本発明はITOの低抵抗化を目的とするものであり、さらに本発明はITOを透明導電膜として利用する半導体装置、例えば、TFT（薄膜トランジスタ）とITOを組み合わせた装置を作製する際の工程の簡略化を実現するものである。

【0002】

【従来の技術およびその問題点】 ITO（Indium Tin Oxide）は、その透明性、電気伝導性から太陽電池、液晶ディスプレイ、イメージセンサー等、広い分野で用いられている。特にこれらの分野では高透過率、低抵抗が要求されることが多く、ITOの作製方法としてはスパッタ法、蒸着法（電子ビーム蒸着法を含む）、CVD法（特にプラズマCVD法）、スプレー法等の多くの作製方法が用いられている。この中でも特にスパッタ法は薄膜の密着性、低抵抗性、透過率に優れ、最も一般的に用いられている。スパッタ法には、印加電力に直流を用いるDCスパッタ法と高周波を用いるRFスパッタ法があるが、DCスパッタ法の方が量産性に優れている。ITO膜は多くの用途で低抵抗が望ましいが、従来は、低抵抗膜を得るために基板を加熱した状態での成膜や、室温で成膜した後に酸素雰囲気中或いは大気中にてアニールすることがよく行なわれていた。

【0003】 しかしながら、基板を加熱した状態で成膜を行なう場合においては以下のような問題点がある。まず第1に、加熱時間と冷却時間の問題がある。現在では量産性を上げるため、タクトタイムを短くする方向に進んでいるのに対し、この方法では成膜する時の加熱と成膜した後の冷却に時間がかかりすぎ、実用的でない。第2に大量生産が進む現在では、スパッタ装置も大型化しているが、大型になればなるほど加熱された基板の温度分布を均一に行なうことが困難になる。基板が均一に加熱されない場合、抵抗値のムラや膜厚のムラが生じ、デバイスに用いることがむずかしい。

【0004】 よって、通常は成膜時に基板を加熱する方法はおこなわれず、もっぱら室温にて成膜後、大気中あるいは酸素雰囲気中でアニールを行なうことによって低抵抗のITO膜をえることがおこなわれてきた。

【0005】 ところで、近年特に盛んになっているTFTアクティブマトリクス型液晶ディスプレイや密着型イメージセンサーにTFT（薄膜トランジスタ）を用いたものがあるが、その作製方法としては、絶縁基板上にTFT素子を作製した後、画素電極としてITOを作製する。この時TFTのドレイン（ソース）とITOが接続される。一般に、使用されるTFTの半導体には欠陥が多く、電気特性は良好なものではないので、TFTを作

製した後、水素雰囲気中でアニール処理を行い、それによって半導体のチャネル部のダングリングボンドを減少せしめることがよく行なわれるが、ITOの面素電極をその後で形成すると、TFT作製→水素アニール→室温ITO作製→大気（酸素）中アニールという工程を必要としていた。

【0006】しかし、TFT液晶ディスプレイ等において、前述のようにTFT素子を作製した後に水素アニールを行い、さらに室温にてITOを作製し、そのあとに大気（酸素雰囲気）中でアニールを行なうとするとアニールを2回行わなければならない、加えて大気（酸素雰囲気）中アニールによって、TFT素子の性能がダウンし、モビリティの低下や応答の急峻性の低下等の問題が生じることもあった。

【0007】

◎【発明の構成】上記問題点を解決するため本発明は、絶縁基板上に、基板を意図的に加熱することなく、具体的には0～100℃の温度にてスパッタ法を用いてITO薄膜を作製した後に、水素雰囲気（濃度95%以上）中で200～400℃、好ましくは230～380℃でアニールすることを特徴とする透明導電膜の作製方法であり、さらに室温下にてITO薄膜を作製した後、水素雰囲気中でアニールする前にITO薄膜のパターニングを行うことを特徴とする透明導電膜の作製方法である。また、上記のアニール工程においてはアニールの時間を0.5～30時間、このましくは1～5時間とする。もちろん、アニール時間は得られるITO膜の特性と量産性、コスト等の兼ね合いで選択される。

【0008】また、液晶電気光学装置、密着型イメージセンサー等でTFT（薄膜トランジスタ）を基板上に作製した場合には、絶縁基板上にTFTを形成した後にITO薄膜を作製し、その後、前記TFTと前記ITO薄膜を水素雰囲気中に浸すことを特徴とする透明導電膜の作製方法であって、特にTFTを基板上に設ける場合には、ITO薄膜を作製する工程と、TFTとITO薄膜を水素雰囲気中に浸す工程との間に前記ITO薄膜をパターニングする工程を有することを特徴とする透明導電膜の作製方法を提案する。この場合においても、TFTとITO薄膜を水素雰囲気中に浸す際の温度が200～400℃、好ましくは230～380℃の場合、特に優れた効果を得られることを主張するものである。

【0009】特に本発明では、TFTとしては、半導体領域上にゲート電極が形成されたトップゲート型TFTを用いた場合に著しい特色を引き出すことができる。トップゲート型TFTにおいては、TFTを形成した後に層間絶縁物を形成し、その後、透明導電膜を選択的に形成することがおこなわれる。従来は、層間絶縁物を形成した後、TFTと透明導電膜を接続する金属電極・配線を形成し、その後、透明導電膜を形成していた。これに対し、本発明がより特色を発揮する構成は、層間絶縁物

を形成した後、透明導電膜を選択的に形成し、その後、金属電極・配線を形成する工程であり、また、そのような工程を経て作製された半導体装置である。特に、この場合には該電極・配線の上面をアルミニウムを主体とする材料によって構成し、ITO膜に接する下面にはクロムや窒化チタン等のITOと良好なコンタクトの得られる材料によって形成することが望まれる。

【0010】このような構成において、上記のごとき、水素アニールをおこなうと、外気に接したアルミニウムの水素ガスに対する触媒作用によって、250～350℃の低温でも水素を活性化せしめることができ、よって、以下の『作用』において詳述する本発明の水素アニールの効果を著しく促進させる。結果として、低抵抗で透明なITO膜が得られる。400℃以下で同じような効果をアルミニウムを用いずには水素プラズマを使用すればよいのであるが、そのためにはプラズマ処理装置を使用せねばならず、装置のコストのみならず、処理能力で著しい制約を受ける。また、ITO被膜のみならず、TFT等の素子に対してもプラズマダメージが大きいので望ましくない。

【0011】また、従来のような、層間絶縁物を形成した後、金属電極・配線を形成した後、ITO膜を形成する場合においては、金属電極・配線の方法としては少なくともITO膜に接する部分（該電極・配線の上面）には、アルミニウムを使用できず、また、アルミニウムが外気に接していないので効果は小さくなる。しかしながら、全くアルミニウムを使用しない方法に比べれば十分な効果が得られる。同様に、該金属電極・配線に全くアルミニウムを用いずとも、ゲート電極にアルミニウムを用いればそれだけで大きな効果が得られる。

【0012】

◎【作用】本発明による作用について説明する。基板温度を0～100℃としてDCもしくはRFスパッタ法にてITOを成膜した後のアニール処理の結果を図1のグラフに示す。図の横軸はアニール温度、縦軸は膜の比抵抗である。そして、アニール時間は60分とした。図からわかるように、アニール温度が約200℃を越えると水素（H₂）雰囲気でのアニールの方が窒素（N₂）雰囲気でのアニールよりも比抵抗の値が小さくなっていることがわかる。さらにN₂雰囲気では成膜時の比抵抗よりアニール後のそのほうが大きくなっているのに対し、H₂雰囲気ではアニール後のほうが低い値となっている。

【0013】さらに図2においてアニール温度と光透過率の関係について説明する。この場合においてもアニール時間は60分である。

【0014】図2（1）に示すように150℃アニールではN₂雰囲気中、H₂雰囲気中ともに透過率の改善が得られていないのに対し、図2（2）、（3）に示すように300℃、400℃では特に短波長側ではアニール

により光透過率が改善され、大きい値が得られており、特に H_2 アニールでは効果が著しいことがわかる。

【0015】また、図3には、アニール温度とエッチングレートについて示す。図からわかるようにアニール温度が約200℃を越えると H_2 、 N_2 どちらの雰囲気中でのアニール処理もエッチングレートが大幅に低下する。このため、ITOのパターニング処理はアニール処理(200℃以上)の前に行なうことが望ましいことがわかる。

【0016】図4では、 H_2 雰囲気中でのアニール時間を変えた場合の透過率について示す。図からわかるように1時間程度のアニールで十分効果が得られており、それ以上のアニールを行なってもそれ以上の効果は得られない。つまりアニール時間は1時間程度で十分であるということがわかる。

【0017】透過率と H_2 雰囲気中でのアニール時間の関係を図5に示す。図5(1)の、150℃アニールでは長波長側、短波長側ともにアニールによる改善がなく、図5(2)の300℃アニールでは長波長側、短波長側ともにアニールによる改善が見られる。アニール時間も約30分で効果が得られており、この場合にも1時間程度のアニールで十分であると思われる。

【0018】ところで、本発明は以上述べてきたことその他にもさらなる応用を有しているのでその点について説明する。本発明ではTFT素子を作製した後にITOを作製する場合、TFT素子作製→ITO作製→水素アニールとすることができ、従来の酸素(大気)中でのアニール工程を削除することができる。以下に実施例を用いて本発明をさらに詳しく説明する。

【0019】

④【実施例】

④【実施例1】本実施例では、単純マトリックス液晶ディスプレイ(STN)を作製する場合のITO作製についての例を示す。

【0020】研磨された300×200サイズのソーダライムガラス上にナトリウムブロッキング層としてCV D法にて SiO_2 膜を200オングストロームの厚さに成膜した。そして、DCマグネトロンスパッタ法にてITO膜を作製した。この時の条件は、背圧 7×10^{-6} Torr, 酸素分圧 5×10^{-6} , スパッタ圧 5×10^{-3} , スパッタ電流1.5Aである。作製された膜の膜厚は1500オングストローム、シート抵抗は45オーム、比抵抗は 6.8×10^{-4} オーム・センチメートルであった。これを市販のエッチャントを用いてパターニングを行ない、640本の電極パターンを得た(SEG側)。また480本の電極パターンを得た(COM側)。この後、水素雰囲気中でアニールを行った。この時の条件は、アニール温度300℃、アニール時間60分である。この結果比抵抗が 3.0×10^{-4} , シート抵抗が20オームとなった。こうして得た基板を洗浄後、配向膜としてポ

リイミドを印刷法により塗布し、500オングストロームのポリイミド薄膜を得た。

【0021】そして、ポリイミド薄膜の表面を綿布を用いてラビングを行ない、COM側基板上に6ミクロンの樹脂スペーサーを散布し、SEG側基板上にエポキシ系熱硬化接着材をスクリーン印刷によって印刷し、両者を貼り合わせた。そして液晶を注入した。さらに偏光板を貼り、回路を接続し、液晶ディスプレイを得た。本実施例のようにITO膜を室温にて成膜することによってタクトタイムを短くすることができ、量産性を高めることができる。さらに室温成膜のため、エッチング時間も短くなり、そのうえ後の水素アニールによってシート抵抗を小さくすることができた。このことは、印加する信号のなまりをふせぐために非常に重要なことである。

④【0022】【実施例2】本実施例では、本発明のITO膜の作製方法のうちで、さらに成膜時の酸素分圧、スパッタ圧、スパッタ電流について言及しておく。図6に酸素分圧(スパッタ圧に対する比で表す)によるアニール温度と比抵抗との関係を示す。なお、アニール時間は60分、水素雰囲気、スパッタ圧は 3×10^{-3} Torr, スパッタ電流は1.5Aである。

【0023】図からわかるように、酸素分圧がかわることによって膜のアニール前の抵抗は大きくばらついているが、200℃を超え、400℃までの温度でアニールすることによって膜の抵抗値のばらつきが小さくなっていくことがわかる。これより、本発明を用いることによって、ITO膜作製プロセスにおいて、非常にマージンが広くなると言える。

【0024】さらに図7にスパッタ圧によるアニール温度と比抵抗との関係を示す。なお、アニール時間は60分、水素雰囲気、酸素分圧は3%, スパッタ電流は1.5Aである。図からわかるように、スパッタ圧がかわることによって膜のアニール前の抵抗は大きくばらついているが、200℃を超え、400℃までの温度でアニールすることによってスパッタ圧が $3 \sim 6 \times 10^{-3}$ Torrで成膜した膜の抵抗値が低く、かつばらつきも小さくなっていることがわかる。

【0025】また図8にはスパッタ電流によるアニール温度と比抵抗との関係を示す。なお、アニール時間は60分、水素雰囲気、酸素分圧は3%, スパッタ圧は 3×10^{-3} Torrである。

【0026】図からわかるように、200℃を超える温度でアニールを行うことによって、抵抗値が小さくなっており、さらにスパッタ電流への依存性も小さくなっていることがわかる。従って、スパッタ電流の点においても本発明の水素アニールはプロセスマージンを広くするものとして期待できる。

【0027】【実施例3】本実施例の詳細な条件は、特願平4-30220号とほとんど同じであるので、特別には詳述しない。まず、基板として合成石英ガラスを使

用し、プラズマCVD法もしくは減圧CVD法で下地の酸化珪素皮膜を厚さ100~800nmだけ、スパッタ法によって形成した。その上にアモルファスシリコン被膜をプラズマCVD法によって20~100nmだけ形成し、600℃で12~72時間、窒素雰囲気中でアニールし、結晶化させた。さらに、これをパターニングして、島状の半導体領域(NチャネルTFT用とPチャネルTFT用)とを形成した。さらに、スパッタ法によって、ゲイト酸化膜を厚さ50~200nmだけ堆積した。

【0028】次に、スパッタリング法もしくは電子ビーム蒸着法によってアルミニウム被膜を形成して、これをパターニングし、ゲイト電極・配線を形成した。このようにしてTFTの外形を整えた。さらに、電解溶液中でゲイト電極・配線に電流を通じ、陽極酸化法によって、酸化アルミニウム膜を形成した。陽極酸化の条件としては、本発明人等の発明である特願平4-30220号に記述された方法を採用した。

【0029】次に、ゲイト酸化膜に電極形成用の穴を形成し、クロムによって配線を形成した。そして、電流を通じた。このときには電位差は30~100V、好ましくは35~50Vとした。このような状況では電流の自己発熱とエレクトロマイグレーション効果によって、半導体領域がアニールされる。さらに、ゲイト電極には負の電圧を印加した。ゲイト電極には-30~-100V、好ましくは-35~-50Vの電圧を印加した。この状態を1時間継続した。さらに、ゲイト電極に負の電圧を印加しているあいだに、基板の裏面から波長300~350nmの紫外光(パワー密度は、例えば、100~300mW/cm²)を照射した。

【0030】例えば、半導体領域中にナトリウム等の可動イオンがあったとしても、このような電圧の印加によって掃き出されてしまう。また、このような電界の存在によって、自由な水素イオンが半導体領域の中を流され、半導体(シリコン)中のダングリングボンドにトラップされて、そのダングリングボンドをターミネイトする。このような効果は、本発明人等の発明である特公平3-19694号に記述されている。しかしながら、それには半導体内のバルクの欠陥を改善の可能性は示されているが、絶縁ゲイト型半導体素子(キャパシタを含む)では重要とされるゲイト絶縁膜と半導体領域の界面の改善については特に記述されていなかった。また、電界の印加だけでは除去することが困難な欠陥については、上記の紫外線照射が有効である。

【0031】その後、イオン注入法によって、N型不純物領域(ソース、ドレイン)とP型不純物領域をそれぞれ形成した。この工程は公知のCMOS技術を使用した。その後、レーザーアニールをおこない、レーザーアニール後は、通常のように、酸化珪素のスパッタ成膜によって層間絶縁物を形成し、公知のフォトリソグラフィ

一技術によって電極用孔を形成して、半導体領域あるいはゲイト電極・配線の表面を露出させ、最後に、第2の金属被膜(窒化チタンあるいはクロム)を選択的に形成して、これを電極・配線とした。この後ITO膜を作製し、パターニングを行った後、250~400℃の水素雰囲気中で30分~3時間、本実施例では1時間アニールをおこない、半導体領域に水素を添加し、格子欠陥(ダングリングボンド等)を減らしとともに、ITOの抵抗を低下させ、光透過率を向上させた。

10 【0032】【実施例4】本発明によってアクティブマトリクスを形成した例を図9に示す。基板1としてはコーニング7059ガラス基板(厚さ1.1mm、300×400mm)を使用した。この基板上にプラズマCVD法で全面に厚さ5~50nm、好ましくは5~20nmの窒化珪素膜2を形成した。このように、基板を窒化珪素または酸化アルミニウムの皮膜でコーティングしてこれをブロッキング層とする技術は、特願平3-238710、同3-238714に記述されている。

20 【0033】ついで下地酸化膜3として厚さ100~300nmの酸化珪素膜を形成した。この酸化膜の形成方法としては、酸素雰囲気中でのスパッタ法やTEOSをプラズマCVD法で分解・堆積した膜を450~650℃でアニールしてもよい。

30 【0034】その後、プラズマCVD法やLPCVD法によってアモルファス状のシリコン膜4を30~150nm、好ましくは50~100nm堆積し、さらに、プラズマCVD法によって、保護層5として、厚さ20~100nm、好ましくは50~70nmの酸化珪素または窒化珪素膜を形成した。そして、波長400nm以下のパルスレーザー光、例えばKrFレーザー光(248nm)を照射して、このシリコン膜4の結晶性を改善せしめた。このときにはレーザー光のエネルギー密度は200~350mJ/cm²が好ましい。また、ショット数も1~20回が好ましい。ここまでの工程を図9

(A)に示す。このようなレーザー光による結晶性の改善の代わりに、基板を600℃で24~72時間アニールして結晶化せしめてもよい。

40 【0035】次に、保護層を除去して、シリコン膜を島状の領域6にパターニングし、さらに、TEOSをプラズマCVD法で分解・堆積した膜を450~650℃でアニールする方法や酸素雰囲気中でのスパッタ法によって、ゲイト酸化膜7を形成した。特に前者の方法を採用する場合には、本工程の温度によって、基板に歪みや縮みが生じ、後のマスク合わせが困難となる恐れがあるので大面積基板を扱う場合には十分に注意しなければならない。また、スパッタ法では基板温度は150℃以下にできるが、膜中のダングリングボンド等を減らして、固定電荷の影響を減らすために水素中で300~450℃、好ましくは350~400℃のアニールをすることが望ましい。

【0036】その後、厚さ200nm～5μmのアルミニウム膜を電子ビーム蒸着法によって形成して、これをパターニングし、図9(B)に示すようにゲイト電極8を形成した。さらに、基板を電解溶液に浸してゲイト電極に電流を通じ、その周囲に陽極酸化物の層9を形成した。なお、この陽極酸化の詳細な条件は、本発明人等の発明である特願平4-30220、同4-38637および同4-54322に示される。本実施例では陽極酸化膜の厚さは200～230nmとした。

【0037】その後、イオンドーピング法によって、TFTの島状シリコン膜中に、ゲイト電極部(すなわちゲイト電極とその周囲の陽極酸化膜)をマスクとして自己整合的に不純物を注入した。この際には、フォスフィン(PH₃)をドーピングガスとして燐を注入した。燐のドーパ量は $2 \sim 8 \times 10^{15} \text{ cm}^{-2}$ とした。不純物領域をP型とするためにはドーピングガスとしてジボラン(B₂H₆)を用いればよい。

【0038】その後、図9(C)に示すようにKrFエキシマレーザー(波長248nm、パルス幅20ns)を照射して、上記不純物領域の導入によって、結晶性の劣化した部分の結晶性を改善させた。レーザーのエネルギー密度は200～400mJ/cm²、好ましくは250～300mJ/cm²とした。この結果、N型の領域10、11が形成された。この領域のシート抵抗は200～800Ω/□であった。

【0039】その後、図9(D)に示すように、酸化珪素によって層間絶縁物12を形成し、さらに、画素電極13をITOによって形成した。ITOの成膜はDCスパッタ法を用い、基板を加熱しない状態でおこなった。プラズマによる加熱のために基板温度は50～100℃に達していたが、基板を強制的に冷却することによって、50℃以下としてもよい。ITO成膜後、これを画素電極の形状にパターニングした。その後、コンタクトホールを形成して、スパッタ法によって厚さ5～50nmのクロム膜と厚さ200～1000nmのアルミニウム膜を連続的に形成した。そして、この多層膜をパターニングして、図9(E)に示すように電極・配線14、15を形成し、このうち一方の電極15はITOにも接続するようにした。図から分かるように、この電極15のITO膜13に接する部分はクロム膜16からできているために、コンタクトが良好であった。クロムの代わりに窒化チタンを用いても同様に良好なコンタクトが得られる。また、クロムと窒化チタンは抵抗が大きいのに対し、上層のアルミニウムは抵抗が小さいので全体としての配線抵抗は低く抑えられる。

【0040】この状態で、基板を99.9%の大気圧水

素中におき、250～400℃、代表的には350℃で30～60分間アニールして、シリコンの水素化およびITO膜13の水素アニールを完了した。

【0041】

○【発明の効果】以上述べたように本発明は従来のITO作製方法にはまったくなかった新しい室温成膜後の水素アニールという方法を用いることによって、量産性を高め、低抵抗、高透過率の透明導電膜を得ることができる。とともに、パターニング特性も良好な膜が得られる。さらにTFT素子と同時に作製する場合には工程数の削減ができ、さらに量産性が増大する。

◎【図面の簡単な説明】

【図1】アニール温度と比抵抗のグラフを示す。

【図2】透過率の波長依存性を示す。

【図3】エッチングレートのアニール温度依存性を示す。

【図4】アニール時間をかえたときの透過率の波長依存性を示す。

【図5】透過率のアニール時間依存性を示す。

【図6】酸素分圧をかえたときの比抵抗のアニール温度依存性を示す。

【図7】スパッタ圧をかえたときの比抵抗のアニール温度依存性を示す。

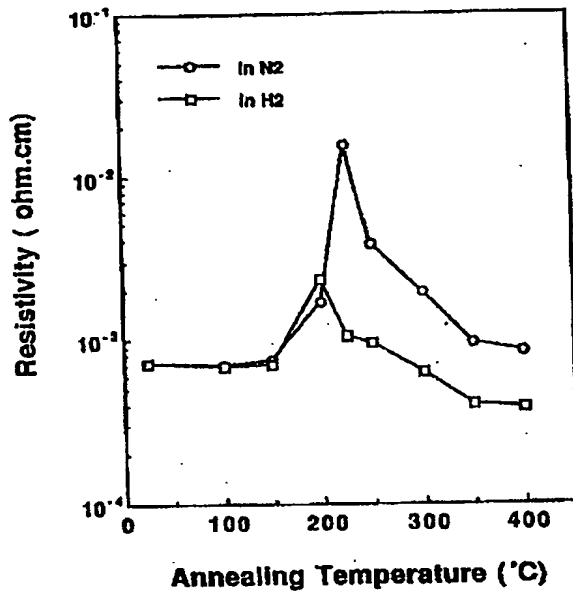
【図8】スパッタ電流をかえたときの比抵抗のアニール温度依存性を示す。

【図9】本発明による液晶表示素子部の作製工程例を示す。

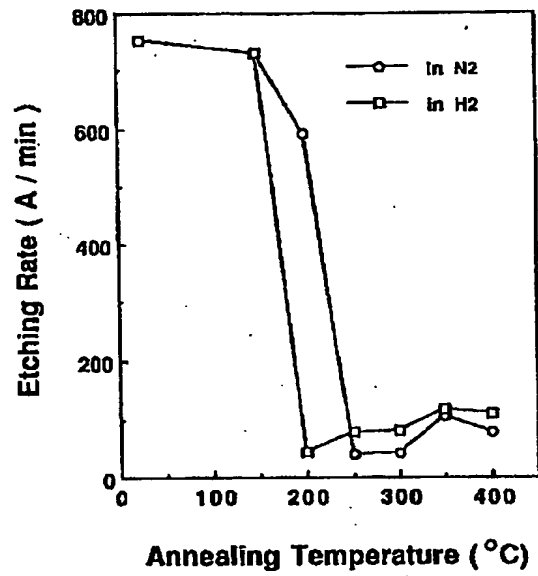
【符号の説明】

1	基板
2	窒化珪素(もしくは酸化アルミニウム)膜
3	下地酸化珪素膜
4	シリコン層
5	保護膜(酸化珪素もしくは窒化珪素)
6	島状半導体領域
7	ゲイト酸化膜(酸化珪素)
8	ゲイト電極(アルミニウム)
9	陽極酸化物(酸化アルミニウム)
10、11	不純物領域(ソース、ドレイン)
12	層間絶縁物(酸化珪素)
13	画素電極(ITO)
14	データ側電極・配線
15	画素側電極
16	下層金属層(クロムもしくは窒化チタン)

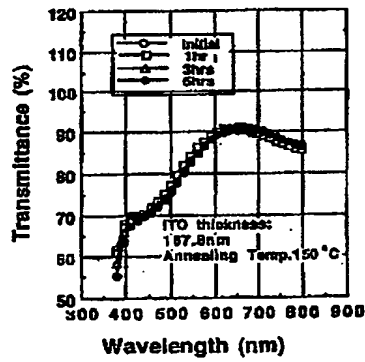
【図1】



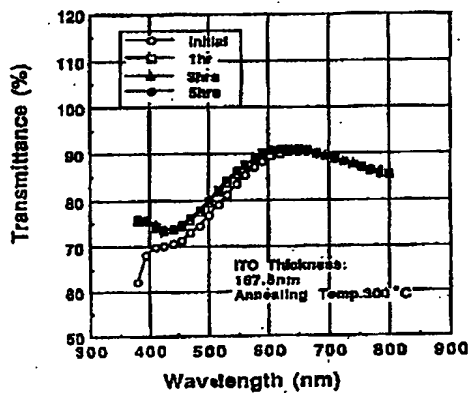
【図3】



【図4】

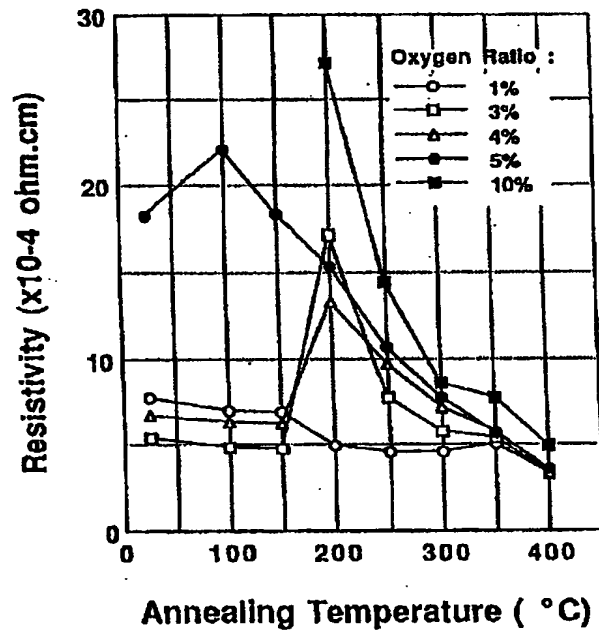


(1)

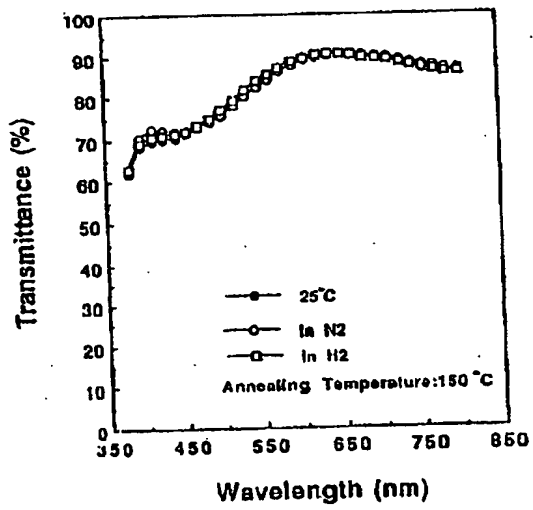


(2)

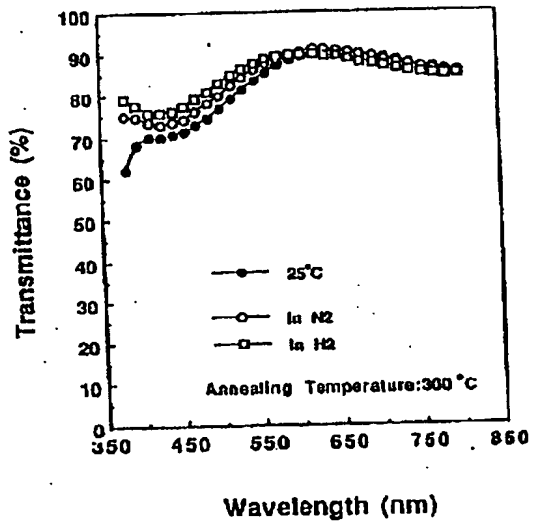
【図6】



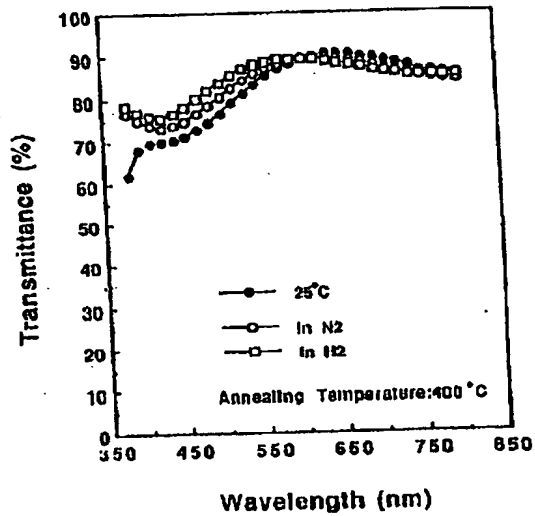
【図2】



(1)

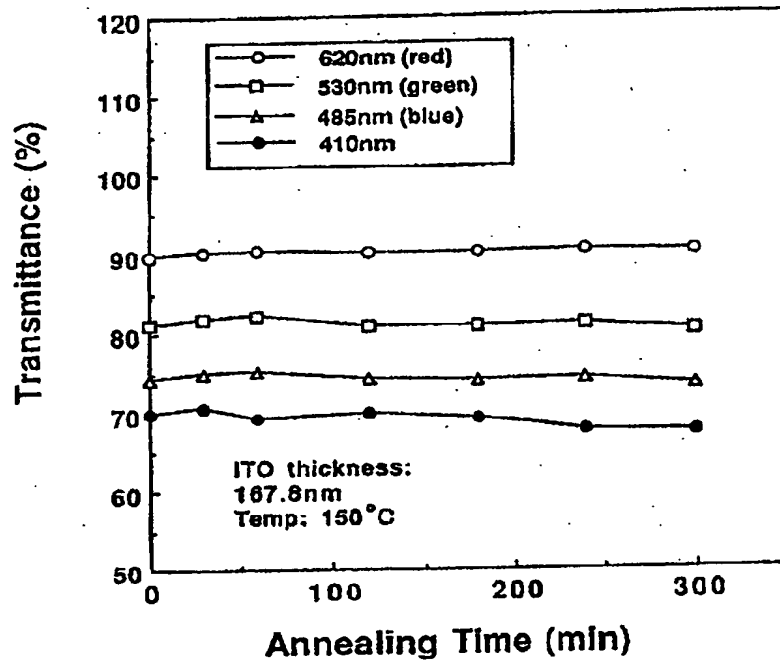


(2)

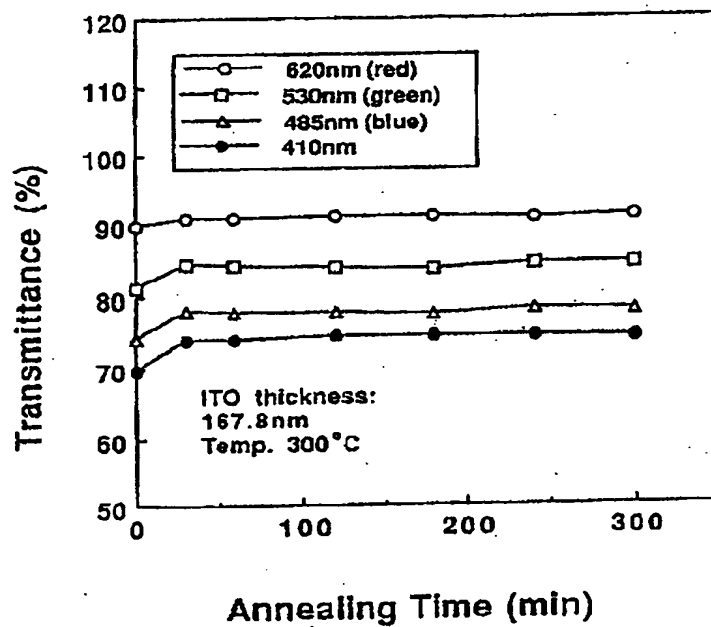


(3)

【図5】

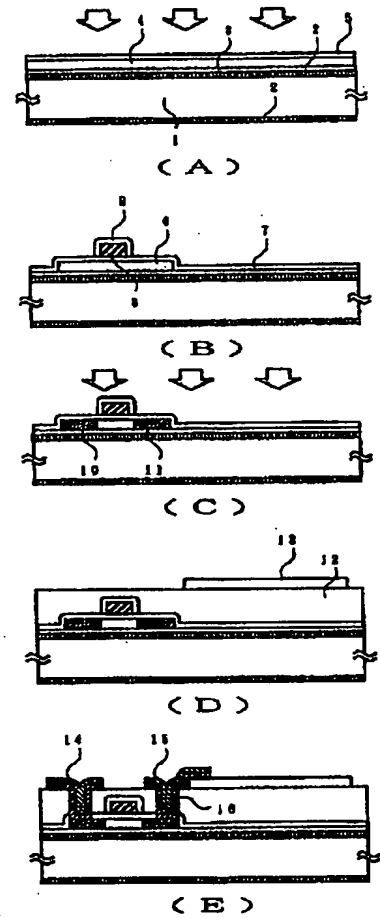


(1)

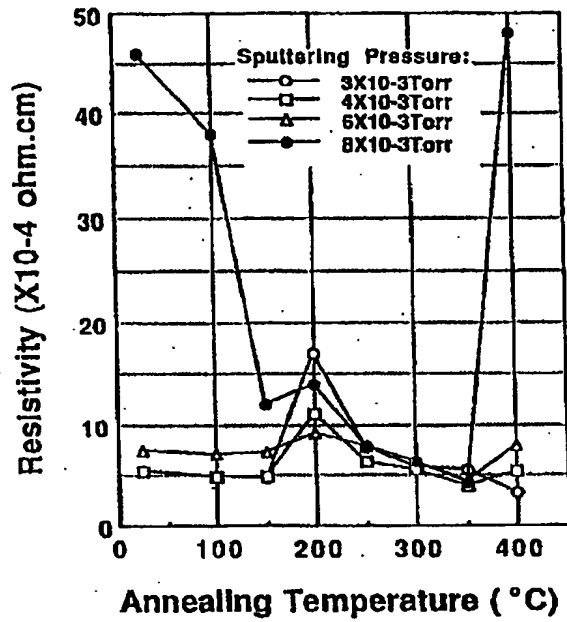


(2)

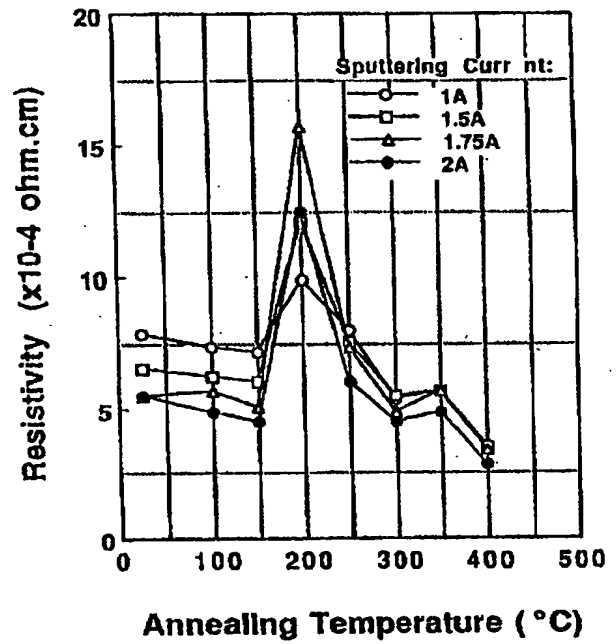
【図9】



【図 7】



【図 8】



フロントページの続き

(51) Int. Cl. ⁵

29/784

21/336

識別記号

片内整理番号

F I

技術表示箇所

9056-4M

H01L 29/78

311

A

9056-4M

311

Y